

文章编号:1007-2780(2014)01-0048-07

## 基于 NiosII 的液晶屏控制器 SOPC 设计

宋 跃<sup>1\*</sup>, 卢俊平<sup>1,2</sup>, 雷瑞庭<sup>1</sup>, 陈 卫<sup>1</sup>, 程 博<sup>1,2</sup>

(1. 东莞理工学院 电子工程学院, 广东 东莞 523808;

2. 华南理工大学 电子与信息学院, 广东 广州 510640)

**摘要:**为实现 TFT-LCD 显示控制器的 SOPC-IP 设计, 选择 FPGA-EP4CE6F17C8 作为设计验证平台, 采用 verilog 语言, 针对全彩 AT070TN84 TFT-LCD, 由 Nios II 软核处理器、SDRAM 控制器、JTAG UART、LCD 控制器、Avalon 总线等组成 TFT-LCD 控制器。以 Nios II 软核处理器为核心, 各 IP 核(如 SDRAM 控制器、TFT-LCD 控制器等)通过 Avalon 总线相连接到 Nios II 上, 并通过 Avalon 总线接口模块、DMA 模块、FIFO 模块和时序产生模块完成了 TFT-LCD 控制器 IP 核设计, 实现 800×480 分辨率, 16 bit 颜色深度的彩色图形显示控制。显示实验运行稳定, 图像清晰, 色彩丰富, 无闪屏、错行等现象, 视觉效果良好, 设计具有良好的可配置性、复用性和移植性。实践证明该设计行之有效。文中给出了控制器的设计原理、实现方法、仿真与实验过程的同时, 重点讲述与控制器 IP 核相关的各设计环节。

**关键词:** Nios II; SOPC-IP; 液晶屏控制器; 直接存储器存取

**中图分类号:** TP274; TM935 **文献标识码:** A **doi:** 10.3788/YJYXS20142901.0048

## SOPC design on LCD controller based on NiosII

SONG Yue<sup>1\*</sup>, LU Jun-ping<sup>1,2</sup>, LEI Rui-ting<sup>1</sup>, CHEN Wei<sup>1</sup>, CHENG Bo<sup>1,2</sup>

(1. College of Electronics Engineering, Dongguan University of Technology, Dongguan 523808, China; 2. School of Electronic and Information Engineering, South China University of Technology, Guangzhou 510640, China)

**Abstract:** In order to realize SOPC controller design on TFT-LCD, IP core of TFT-LCD controller based on Nios II was designed by FPGA-EP4CE6F17C8 and Verilog language. TFT-LCD controller was consisted of the Nios II soft-core processor, SDRAM controller, JTAG UART, LCD controller, Avalon bus for a full-color AT070TN84 TFT-LCD. Nios II soft-core processor was designed as core, IP cores such as SDRAM controller, TFT-LCD controller were connected to Nios II by Avalon bus, IP core design of TFT-LCD controller was mainly completed by such modules as the Avalon bus interface module, DMA module, FIFO module and the timing generator module. The color graphics display control with 800 × 480 resolution, 16 bit color depth was achieved. Display experiment showed it was of stable, clear images, rich colors, no splash screen, wrong line and other phenomena, good visual effect. Design was of good configurability, reusability and portability. Practice proved that the SOPC design was effective. The design principle, control system simulation and experiment method, process were presented in the paper, relevant links of IP controller core design was mainly focused on at the same time.

**Key words:** Nios II; SOPC-IP; LCD controller; DMA

收稿日期: 2013-06-17; 修订日期: 2013-07-19.

基金项目: 国家自然科学基金重大基金项目 (No. 10890095); 国家自然科学基金科学仪器基础研究专款项目 (No. 11127508); 东莞市 2012 年科技计划项目 (No. 2012108102040); 东莞市 2010 年科技计划重点项目 (No. 201010814001)

\* 通信联系人, E-mail: eda815@163.com

## 1 引言

在二维位置灵敏涂硼 GEM 中子探测器研制中,包含了大面积多层 GEM 探测器的制作、二维读出条的设计、信号与高压线的引出以及高速读出电子学的设计等关键技术,需要对一些参数加中子探测位置分辨、信号与高压线的监控读数以及各个参数的时间曲线图进行本地显示,便于对设备进行本地监控和维护。液晶显示器以其平板化、高分辨率、高对比度、无电磁辐射、低电压、低功耗、数字式接口、易集成和轻薄便携等优点已成为人机界面的主流器件之一,我们拟采用全彩 AT070TN84 TFT-LCD 屏幕作为本地显示终端。利用液晶显示器关键是其 LCD 控制器及显示存储器设计,常规开发 LCD 驱动电路的方法不具通用性<sup>[1]</sup>,本文运用 EDA 技术,实现了基于 NIOS II 的 SOPC 的 LCD 控制器 IP 核设计,得到了较好的显示效果,同时又提升了系统现有 FPGA 的利用率,提高了系统的集成度。

## 2 系统设计

图 1 是 TFT-LCD 控制器显示方案结构图。主要由 Nios II 软核处理器、SDRAM 控制器、JTAG UART、LCD 控制器、Avalon 总线等组成<sup>[2-3]</sup>。以 Nios II 软核处理器为核心,各种 IP 核(如 SDRAM 控制器、TFT-LCD 控制器等)通过 Avalon 总线相连接到 Nios II 上。TFT-LCD 控制器主要由 Avalon 总线接口模块、DMA 模块、FIFO 模块和时序产生模块组成。TFT-LCD 控制器的作用是将 SDRAM 中的图像数据经过合适的格式转换后送给 LCD 使其按照正确的显示时序显示。采用 PWM 驱动方式来驱动背光电路的显示,PWM 驱动方式的优点是利用其占空比可调的性质来调节屏幕的亮度。系统上电后,Nios II 进行硬件初始化,将 SDRAM 帧缓冲区的首地址、LCD 控制器地址、帧缓冲区大小写入到 DMA 控制器,同时写入 LCD 控制器的时序配置参数,以产生对应的 LCD 控制时序,启动 DMA 控制器。DMA 控制器自动从传来的首地址处开始读取数据,并输出给 LCD 控制器。整个数据读取过程不需要 CPU 干预。本文在 FPGA 内部运

用 SOPC 技术把 CPU 和 LCD 控制器整合到一块,并通过设置相应时序参数实现具有一定通用性的 LCD IP 核设计。本设计采用 AT070TN84 TFT 液晶屏<sup>[4]</sup>。

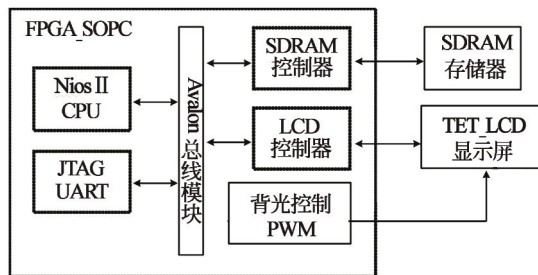


图 1 TFT-LCD 控制器显示方案结构图

Fig. 1 Structure of TFT-LCD controller

图 2 是 TFT-LCD 控制器结构图。LCD 控制器启动后,DMA 通过 Avalon 总线流模式读取传输的数据,然后存入 FIFO 模块中。时序产生模块根据 LCD 屏的时序规范生成行同步信号和场同步信号来判断是否从 FIFO 模块中读取数据,然后送出去显示。DMA 自动从传来的首地址处开始读取数据,并输出给 LCD 显示。整个数据读取过程不需要 CPU 干预,从而提高了芯片的工作效率。FIFO 模块主要缓存数据来匹配 DMA 读取的速度和 TFT-LCD 时序发生器输出的速度,以保证 LCD 工作在像素时钟域内,显示的画面连续稳定。该控制器可实现分辨率为  $800 \times 480$ ,颜色深度为 16 bit 的彩色图形显示。

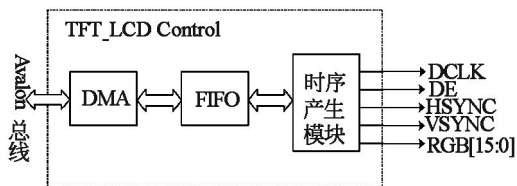


图 2 TFT-LCD 控制器结构

Fig. 2 Structure of TFT-LCD controller

## 3 液晶屏控制器 SOPC-IP 核设计

### 3.1 DMA 模块

运用 DMA 模块,CPU 只须向 DMA 控制器发送指令,让 DMA 控制器来处理数据的传送,数据传送完毕再把信息反馈给 CPU,这样在很大程度上减轻了 CPU 资源占有率,从而提高了数据

的读取速度。一个 DMA 控制器具有 3 个 Avalon 总线端口,包括 1 个 Avalon 从端口和 2 个 Avalon 主端口。2 个主端口都是用于 DMA 传输通道,负责按照控制模块的指令,读取 SDRAM 中的数据并写入到 FIFO 中。而从端口用于 DMA 控制相关寄存器的读写,负责处理器与控制器的接口控制。

Avalon 总线支持多个主外设,任何一个主外设都可以进行存储器访问(DMA),而无须 Nios II 处理器的干预。Nios II 通过 Avalon 总线与外设进行数据交换。Avalon 规定了各种传输模式,本 IP 核使用流传输模式(最适合 DMA 传输),图 3 显示了 Avalon 总线的流模式从端口写传输时序<sup>[5]</sup>。除了基本从端口传输中使用的信号外,流模式外设接口中还需引入 readyfordata、data-available 和 endofpacket 3 个信号。当 readyfordata 有效表示外设准备好接收 Avalon 总线模块的写传输,在下一个时钟的上升沿,来自具有流控制的主端口的传输开始;在写传输结束的时候,从端口必须将 readyfordata 置为低电平,这样该信号能立即对随后的传输起作用。反之当 readyfordata 失效时会迫使 Avalon 总线模块将送到这一端口的 chipselect、write 置为无效。故在 readyfordata 再次有效之前,Avalon 总线模块不会对该从端口发起另一次写传输。本设计 endofpacket 置为低电平。Dataavailable 有效来表示它能够来自 Avalon 总线模块的读传输提供数据,本设计只进行写传输,故弃用。

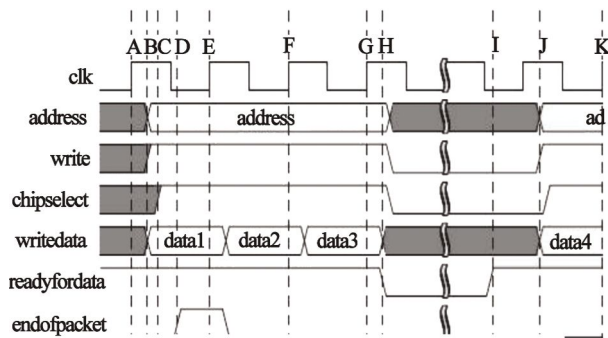


图 3 流模式从端口写传输时序

Fig. 3 Transmission timing write from port

Avalon 总线接口如下:

```
input clk;
input rst_n;
```

```
input [15 : 0] address;
input chipselect;
input write;
input [15 : 0] writedata;
output readyfordata;
output endofpacket;
```

### 3.2 先入先出缓冲模块

FIFO 一般用于不同时钟域间的数据传输<sup>[6]</sup>,它实现对 DMA 输出的图像数据进行缓存来匹配时序控制模块的传输速度,以达到 TFT-LCD 的稳定显示的要求。本设计采用 Quartus II 11.0 自带的 FIFO 宏模块,通过向导生成所需的模块供调用。大小为  $2\,048 \times 16$  bit。FIFO 由 DMA 控制器写入数据,写入时钟为 80M;由 LCD 控制器的时序发生模块读出数据,读出时钟为 40M,即 LCD 的像素点扫描频率。wrusedw [10 : 0]信号通过 wrclk 上升沿来记录存入到 FIFO 中数据个数,当 wrusedw 大于 2 000 时,置 readyfordata 无效,暂停 DMA 传输数据,否则置 readyfordata 有效,启动 DMA 开始传输数据,来保证系统的性能。rdempty 用来判断 FIFO 中缓存数据是否全部读出,全部读完置为 1。data 接 Avalon 从端口的 writedata,进行数据的传输;aclr 接 Avalon 从端口的复位信号  $\sim$ rst\_n。总之,FIFO 模块起到缓存数据的作用保证了显示屏稳定高速的显示图像。调用 FIFO 模块的部分代码如下:

```
assign fifo_rst =  $\sim$  rst_n;
assign fifo_wrreq = chipselect && write
&& readyfordata;
assign readyfordata = (( fifo_cnt < 11'd2000 ) )? 1'b1 : 1'b0;
fifo lcd_fifo (//input
    .aclr (fifo_rst),
    .data (writedata),
    .rdclk (clk_half),
    .rdreq (DE),
    .wrclk (clk),
    .wrreq (fifo_wrreq),
    //output
    .q (fifo_data),
    .rdempty (fifo_rdempty),
    .wrusedw (fifo_cnt));
```

### 3.3 时序产生模块

LCD 时序产生模块根据输入时钟和 TFT-LCD 的时序参数产生 LCD 显示所需要的行同步信号 HSYNC、帧同步信号 VSYNC、输出像素时钟信号 DCLK、复位信号  $\text{rst\_n}$ 、数据使能端控制信号  $\text{DE}$ <sup>[7-8]</sup>,如图 4 所示。LCD 的显示驱动原理是采用逐行顺序扫描方式进行的,这种扫描方式循环周期很短,使得液晶显示屏上呈现稳定的图像效果。在行场时序的控制下屏幕从左到右(受行同步信号 HSYNC 控制),从上到下(受帧同步信号 VSYNC 控制)开始逐行显示。本设计所用 AT070TN84 TFT 液晶屏采用 DE 模式显示。

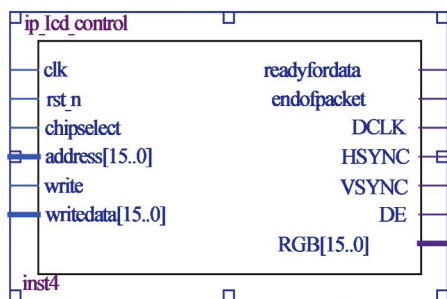


图 4 TFTP-LCD 控制器 IP 核

Fig. 4 IP core of TFTP-LCD controller

下面主要介绍一下上述的几个信号:

(1)输出像素时钟信号 DCLK:在一个 DCLK 周期中完成一个像素点的显示,在 DCLK 的高电平时读入像素数据,在其上升沿时将数据写到 TFT LCD 上显示。驱动每个像素点的数据进入 LCD。同时作为其他信号的基准时钟。

(2)行同步信号 HSYNC:它的一个周期  $t_{HP}$  包括 4 个时间段:行同步低电平  $t_{HW}$ 、行消隐后肩  $t_{HBP}$ 、行有效显示  $t_{HV}$ 、行消隐前肩  $t_{HFP}$ 。行消隐后肩、行消隐前肩保证了行扫描的同步性。在每个 HSYNC 行有效显示  $t_{HV}$  高电平时完成一行共 800 个像素的显示,DCLK 产生 800 个周期。在 HSYNC 有效之前插入  $t_{HFP}$  为 210 个 DCLK,有效之后插入  $t_{HBP}$  为 45 个 DCLK,然后再开始下一行的扫描。

(3)帧同步信号 VSYNC:它的一个周期  $t_{VP}$  也包括 4 时间段:帧同步低电平  $t_{VW}$ 、帧消隐后肩  $t_{VBP}$ 、帧有效显示  $t_{VV}$ 、帧消隐前肩  $t_{VFP}$ 。每扫描完一帧(480 行)后,立即插入 1 个 VSYNC 信号,该信号告诉 LCD 屏,新的一帧开始。同样,在

VSYNC 有效之前插入  $t_{VFP}$  为 132 个 HSYNC,有效之后插入  $t_{VBP}$  为 22 个 HSYNC。

(4)数据使能端控制信号 DE:它控制显示数据的传输,只有当 DE 为高电平时,显示数据才能传输到 LCD 内显示,其有效宽度为 800 个 DCLK。

设计 TFT-LCD 的像素时钟为 40 MHz,设  $f$  为刷新率,则有:

$$F = t_{HP} \cdot t_{VP} \cdot f = 40 \text{ MHz}$$

$$t_{HP} = t_{HW} + t_{HBP} + t_{HV} + t_{HFP}$$

$$t_{VP} = t_{VW} + t_{VBP} + t_{VV} + t_{VFP}$$

可求得  $f = 59.82 \text{ Hz}$ ,即设计得到 TFT-LCD 工作在 40 MHz 时有 59.82 Hz 的刷屏率,满足人眼分辨的要求<sup>[7-10]</sup>。

调用时序产生模块的代码如下:

```
lcd_time lcdtime (//input
    . clk_half ( clk_half ),
    . rst_n (rst_n),
    . fifo_rdempty ( fifo_rdempty ),
    . fifo_data ( fifo_data ),
    //output
    . DCLK ( DCLK ),
    . HSYNC ( HSYNC ),
    . VSYNC ( VSYNC ),
    . DE ( DE ),
    . RGB(RGB) );
```

将上述各模块进行封装,生成图 4 TFT-LCD 控制器 IP 核元件符号。

### 3.4 Nios II 调试

采用 Nios II 11.0 Software Build Tools for Eclipse(32 bite)开发工具,进行软件测试。软件测试主要是测试 LCD 控制器是否能正确工作。首先往 SDRAM 中写入预定的图片数据来初始化显存,然后通过编程将相应的时序配置参数 ( $HP = 1056$ ;  $HW = 1$ ;  $HBP = 45$ ;  $HV = 800$ ;  $HFP = 210$ ;  $VP = 635$ ;  $VW = 1$ ;  $VBP = 22$ ;  $VV = 480$ ;  $VFP = 132$ ) 写入 LCD 控制器中,同时将 SDRAM 帧缓冲区的首地址、LCD 控制器地址、帧缓冲区大小写入到 DMA 控制器,启动 DMA 控制器观察显示屏的显示输出是否正确。Nios II 中部分代码如下:

```
static volatile unsigned short int * P_LCD=
(unsigned short int*)(IP_LCD_CONTROL_0_
```

```

BASE); //定义指向 IP 核的地址的 int 型指针
static volatile unsigned short int * P_LCD_
SDRAM=(unsigned short int*)(SDRAM_0_
BASE + 0x100000); //定义指向 SDRAM 首地址
的 int 型指针
static volatile unsigned char* P_LCD_
SDRAM_CHAR=(unsigned char*)(SDRAM_
0_BASE + 0x100000); //定义指向 SDRAM 首
地址的 char 型指针
const unsigned long TLENGTH = 800 *
480 * 2; //从 SDRAM 中读入到显示器中数据的
个数
void DMA_interrupts(void* context, alt_
u32 id); //DMA 中断
//DMA 初始化函数
void init_dma(void)
{ printf(" init dma ready\n");
alt_irq_register(DMA_0_IRQ, 0, DMA_in-
terrupts);
//注册 DMA 中断程序,并自动中断使能
IOWR_ALTERA_AVALON_DMA_CON-
TROL(DMA_0_BASE, 0); //清控制寄存器
IOWR_ALTERA_AVALON_DMA_STA-
TUS(DMA_0_BASE, 0); //清状态寄存器
IOWR_ALTERA_AVALON_DMA_
LENGTH(DMA_0_BASE, TLENGTH); //需
要传输数据的总长度写入长度寄存器
IOWR_ALTERA_AVALON_DMA_RAD-
DRESS(DMA_0_BASE, (int) P_LCD_
SDRAM); //读地址
IOWR_ALTERA_AVALON_DMA_WAD-
DRESS(DMA_0_BASE, (int) P_LCD); //写
地址
IOWR_ALTERA_AVALON_DMA_CON-
TROL(DMA_0_BASE,
ALTERA_AVALON_DMA_CONTROL_
HW_MSK | //字传输
ALTERA_AVALON_DMA_CONTROL_
GO_MSK | //启动 DMA
ALTERA_AVALON_DMA_CONTROL_I_
EN_MSK | //开启中断
ALTERA_AVALON_DMA_CONTROL_
WCON_MSK | //
ALTERA_AVALON_DMA_CONTROL_
WEEN_MSK | //

```

```

ALTERA_AVALON_DMA_CONTROL_
LEEN_MSK); //传输完固定长度的数

```

## 4 仿真与实验

TFT-LCD 控制器设计过程中,采用 Modelsim SE10.0c 软件仿真,仿真结果如图 5,结果表明显示控制器显示时序正确。(为了显示清晰,在仿真时将 TFT-LCD 控制器的时序参数进行了一定比例的缩放。)

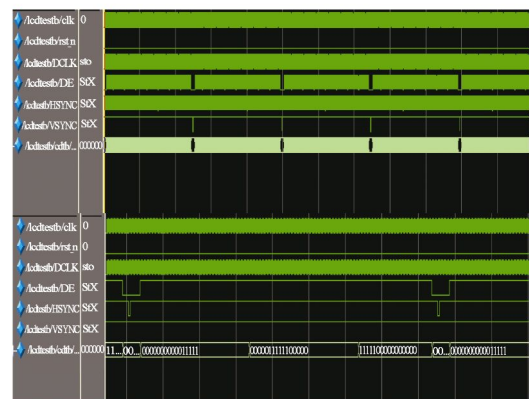


图 5 仿真图形

Fig. 5 Simulation graphics

在硬件测试平台上,使用 Quartus II 11.0 软件完成硬件设计<sup>[10]</sup>。调试 IP 核时,采用 Quartus II 自带的 SignalTap II Logic Analyzer 进行逻辑分析,分析结果如图 6。表明该控制器可正常工作。SignalTap II 与 Modelsim 软件仿真不同,利用 JTAG 在线仿真,更准确的观察数据的变化,方便调试。

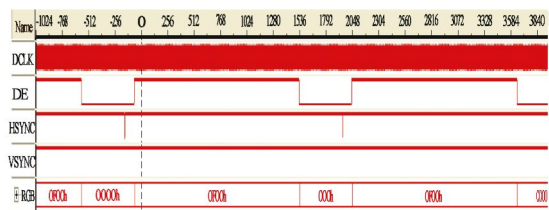


图 6 逻辑分析仪显示图

Fig. 6 Graphic from Logic Analyzer

实验测试显示效果如图 7 所示,表明图像显示清晰,色彩丰富,没有闪屏、错行等现象,视觉效果良好,达到了预期的目标。

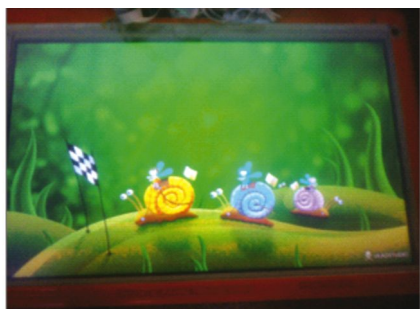


图7 实验结果显示

Fig.7 Experimental results display

## 5 结 论

具有参数化组件的 SOPC-IP 核设计可以有

效地实现了  $800 \times 480$  分辨率, 16 bit 颜色深度的 AT070TN84 彩色图形显示控制, 具有良好的可配置性、复用性和移植性。

设计中若使用乒乓显存作为数据缓存模块, CPU 和 LCD 控制器在 Avalon 总线上不会因为竞争带宽而影响性能, 会显著提高系统的性能, 但是成本太大。本设计使用 Quartus II 自带的 FIFO 宏模块, 再配合 DMA 在很大程度上减轻了 CPU 资源占有率, 与乒乓显存就“性价比”方面比较, FIFO 较优。若要实现一些高端的应用, 再考虑乒乓显存。

本设计触摸输入与显示的功能还未考虑进去, 这也是液晶屏控制器需要设计不足之处, 这部分的完善设计有待下一步研究。

## 参 考 文 献:

- [1] 宋敏, 应建华, 刘艳丽, 等. 动态驱动 LCD 视频控制芯片的设计[J]. 华中科技大学学报: 自然科学版, 2004, 32(1): 82-86.  
Song M, Ying J H, Liu Y L, et al. Design of dynamic driving LCD controller chip [J]. *Journal of Huazhong University of Science and Technology: Natural Science Edition*, 2004, 32(1): 82-86. (in Chinese)
- [2] 苏维嘉, 张澎. 基于 FPGA 的 TFT LCD 控制器的设计和实现[J]. 液晶与显示, 2010, 25(1): 75-78. (in Chinese)  
Su W J, Zhang P. Design and realization of the TFT-LCD controller based on FPGA [J]. *Chinese Journal of Liquid Crystals and Displays*, 2010, 25(1): 75-78. (in Chinese)
- [3] 白宗元, 胡宝霞. 基于 Nios II 的 SOPC 中 TFT LCD 控制核的设计[J]. 计算机应用, 2008, 2(2): 61-63.  
Bai Z Y, Hu B X. Design of a TFT LCD controller core based on the SOPC of NiosII [J]. *Computer Applications*, 2008, 2(2): 61-63.
- [4] 张燕忠, 蔡妍艳. 嵌入式 Linux 系统构建和移植若干共性技术研究[J]. 计算机测量与控制, 2005, 13(2): 162-164.  
Zhang Y Z, Cai Y Y. Study of some common technology on the design and transplantation of embedded linux operating system [J]. *Transplantation of Embedded Linux Operating System Computer Automated Measurement & Control*, 2005, 13(2): 162-164. (in Chinese)
- [5] 褚文奎, 张凤鸣, 樊晓光. 嵌入式 Linux 系统实时性能测试研究[J]. 系统工程与电子技术, 2007, 29(8): 1385-1388  
Chu W K, Zhang F M, Fan X G. Measurement of real time performance of embedded Linux systems [J]. *Systems Engineering and Electronics*, 2007, 29(8): 1385-1388. (in Chinese)
- [6] 付先成, 邹雪城, 雷鑑铭. FIFO 电路在液晶显示控制器中的应用[J]. 华中科技大学学报: 自然科学版, 2006, 34(4): 8-10.  
Fu X C, Zou X C, Lei J M. Application of FIFO circuit to liquid crystal display controllers [J]. *Journal of Huazhong University of Science and Technology: Nature Science Edition*, 2006, 34(4): 8-10. (in Chinese)
- [7] 向荣, 陈祖希. 基于 Nios II 的 LCD 驱动 IP 核的设计[J]. 计算机工程, 2008, 34(5): 246-247, 259.  
Xiang R, Chen Z X. Design of IP core for LCD driver based on Nios II [J]. *Computer Engineering*, 2008, 34(5): 246-247, 259.
- [8] 黄燕群, 李利品, 王爽英. 基于 FPGA 的 OSD 设计[J]. 液晶与显示, 2010, 25(3): 429-433.  
Huang Y Q, Li L P, Wang S Y. OSD design based on FPGA [J]. *Chinese Journal of Liquid Crystals and Displays*, 2010, 25(3): 429-433. (in Chinese)
- [9] 张雷, 吴华夏, 胡俊涛, 等. 一种基于 FPGA 的 OLED 显示系统[J]. 液晶与显示, 2011, 26(4): 538-543.

Zhang L, Wu H X, HU Jun-tao, *et al.* Display system of OLED based on FPGA [J]. *Chinese Journal of Liquid Crystals and Displays*, 2011, 26(4): 538-54. (in Chinese)

- [10] 王翔, 李建中, 王伟平. 基于滑动窗口的数据流压缩技术及连续查询处理方法[J]. 计算机研究与发展, 2004, 41(10): 1639-1644.

Wang X, Li J Z, Wang W P. Processing compressed sliding window continuous queries over data streams [J]. *Journal of Computer Research and Development*, 2004, 41(10): 1639-1644. (in Chinese)

**作者简介:**宋跃 (1963—), 男, 湖南邵阳人, 教授, 研究方向为电路与系统、电子测量与仪器、嵌入式系统。E-mail: eda815@163.com